الفصل الثالث

ترانزستورات الأثر الحقلي JFET

(Field Effect Transistors)

مقدمة

بنية وعمل ترانزستور الأثر الحقلي JFET

. خواص وبارمترات الترانزستور JFET

انحياز ترانزستور الأثر الحقليJFET

. التمثيل البياني للترانزستور JFET

بنية وعمل ترانزستور الأثر الحقلي MOSFET

خصائص و بارمترات الترانزستور MOSFET

Dr.Sadek pro

مقدمة

كان النموذج الأول للترانزستور ذي الأثر الحقلي ذي الوصلة JFET والذي تم اقتراحه من قبل الباحث شوكلي Shockly في عام 1951.

تم بعد ذلك تطوير نوع آخر من هذه الترانزستورات أكثر استقراراً وأفضل في تطبيقات الدارات الرقمية، وهو الترانزستور MOSFET الذي أعلن عنه في بداية عام 1960 في مختبرات Telephone Bell .

يتشكل الترانزستور JEFT ذي القنال (n) من نصف ناقل سيليكوني نوع (n) ، يسمى أحد طرفيه المنبع Source (S) والثاني المصرف Drain (D) . وتزرع على جانبي نصف ناقل السيليكوني منطقتان من النوع p موصولتان معاً بطرف واحد يدعى البوابة Gate (G) . و يمكن تشكيل ترانزيستور ذي قنال p بحيث يتم زرع على جانبي نصف ناقل السيليكوني نوع (p) منطقتان من النوع n .
تطبق على كلا النوعين وحدة تغذية مستمرة بين المصرف D والمنبع S فيمر تيار وحيد القطبية (إلكترونات أو ثقوب) ضمن ما يسمى بالقنال (المحصورة بين طرفي البوابة) ويطبق انحياز عكسي على البوابة.

عند تطبيق إشارة على دخل الترانزستور (البوابة) يتشكل حقل كهربائي يؤثر في عرض القنال زيادة أو نقصاناً ليسمح بمرور تيار أعلى أو أقل، ويُحصل بالتالي على إشارة مكبرة في الخرج.

إن تأثير الحقل الكهربائي على مرور التيار في القنال هو السبب في تسمية هذه الوسيلة بالترانزستور ذي التأثير الحقلي.
من جهة أخرى، يتشكل الترانزستور MOSFET من السيليكون نوع p و يتم إدخال منطقتين في طرفيه من النوع n تشكلان المصرف D والمنبع S. يوضع فوق هاتين الطبقتين مادة شديدة العازلية من ثاني أكسيد السيليكون (SiO_2) يعلوها طبقة معدنية تشكل البوابة .إن الفرق الرئيسي لهذا النوع عن الترانزستور JFET هو أن مقاومة دخل الأول أعلى بكثير.

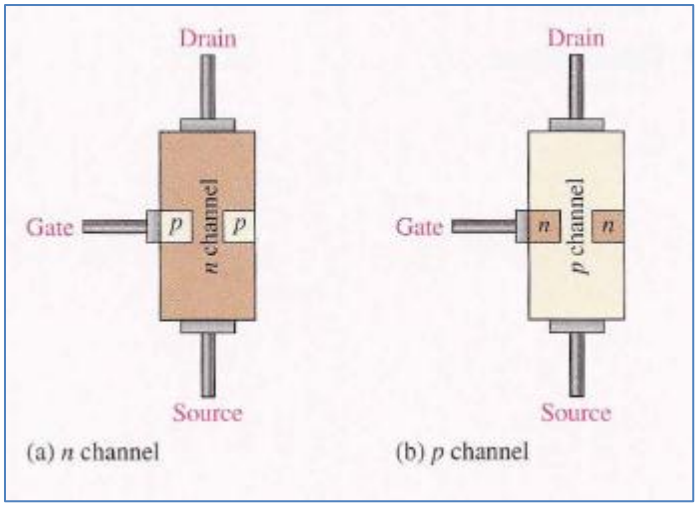
يختلف الترانزستور FET عن الترانزستور BJT في بعض الخصائص المهمة الآتية:
1- يعتمد الترانزستور FET على تدفق حوامل شحنات ذات قطبية واحدة (ثقوب أو إلكترونات) لذلك يدعى بالوسيلة أحادية القطبية unipolar device ، بينما يعد الترانزستور BJT وسيلة ثنائية القطبية bipolar device لأنه يعتمد على تدفق حاملات شحنات موجبة وسالبة معاً.
2- يشغل الترانزستور FET فراغاً أقل داخل الدارة المتكاملة IC وبالتالي فإن كثافة التعبئة packaging density له عالية جداً، وهو ما يجعله مفضلاً في صناعة ما يسمى الدارات الإلكترونية الصغرية microelectronic .
3- يعد عمل هذا الترانزستور كمقاومة محكومة بالجهد VCR ميزة كبيرة، الأمر الذي يجعل نظام الدارة المتكاملة الرقمي مشتملاً على وسائل MOS من دون أي عناصر أخرى كالمقاومات مثلاً.

إن معظم تطبيقات الترانزستورات JFET تكون في نمط التكبير ونمط المقاومة المحكومة بالجهد، بينما تكون معظم تطبيقات الترانزستورات MOSFET في نمط القطع switching وهي تشكل معظم أنواع الدارات المتكاملة الرقمية الموجودة في السوق التجارية.

بنية وعمل ترانزستور الأثر الحقلي JFET

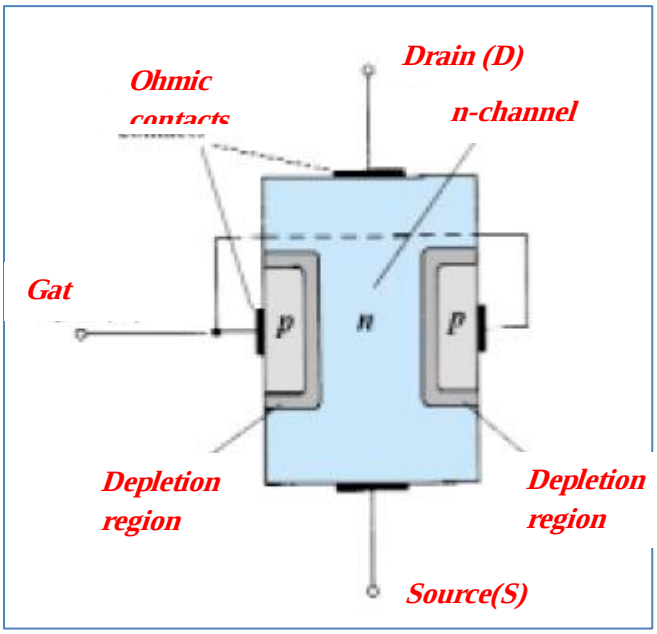
إن ترانزستور الأثر الحقلي ذي الوصلة JFET عنصر يملك ثلاث أطراف : المنبع Source (S) والمصرف Drain (D)والبوابة Gate(G)، كما هو موضح بالشكل (3.1) ، حيث تتحكم (البوابة) بمرور التيار بين المنبع والمصرف.

Dr.Sadek pro



الشكل (3.1) بنية الترانزستور JFET

والبنية الأساسية للترانزستور التأثير الحقلي JFET (القنال n) موضحة بالشكل (3.2) .



الشكل (3.2) بنية الترانزستور JFET بدون انحياز

الجزء الأساسي من البنية هو نصف ناقل مشوب من النوع n يدعى القنال، وتزرع على جانبي القنال منطقتين مكونتين من نصف ناقل من النوع *p* ، حيث يتم توصيل طرفي القنال بالمصرف *Drain (D)* والمنبع *Source (S)* ، بينما المنطقتين من النوع *p* يتم توصيلها معاً إلى البوابة *Gate(G)*.

في حالة عدم تطبيق جهود خارجية ، فإن JFET يملك وصلتي *p-n* بدون انحياز، وهذا يؤدي إلى نشوء منطقة استنزاف في كل وصلة تكون خالية من حاملات الشحنة الحرة كما هو مبين بالشكل(3.2).

إن التمثيل التشابهي بين عمل صنبور الماء المبين بالشكل (3.3) وعمل الترانزستور JFET توضيح مبسط لآلية عمله.

Dr.Sadek pro

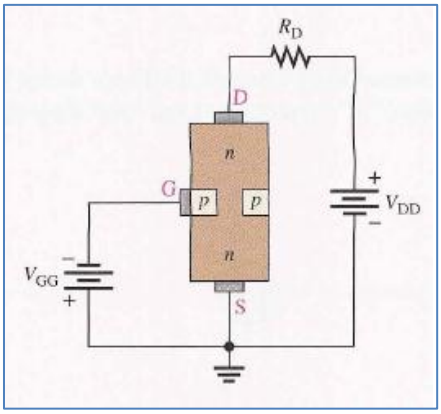
إن ضغط منبع الماء يماثل فرق الجهد بين المصرف والمنبع . ففي حالة صنبور الماء يتدفق الماء من الحنفية (المنبع)، و يتحكم المفتاح (البوابة) بتدفق الماء من المنبع إلى المصرف.

بينما في الترانزستورJFET فإن فرق الجهد بين المصرف والمنبع يؤدي إلى تدفق الإلكترونات من المنبع، و تتحكم البوابة بتدفق الشحنة الكهربائية – بواسطة إشارة خارجية (جهد) – من المنبع إلى المصرف.

الشكل (3.3) التشابه بين آلية عمل صنبور الماء وآلية تحكم الترانزستور JFET

مبدأ عمل الترانزستور JFET

يتم تطبيق جهود مستمرة DC على القنال n، حيث يطبق منبع الجهد V_{DD} فرق جهد بين المصرف D والمنبع S ويوطد مرور تيار من المصرف إلى المنبع. وكذلك منبع الجهد V_{GG} يطبق جهد انحياز عكسي بين البوابة G والمنبع S كما هو مبين بالشكل (3.4).



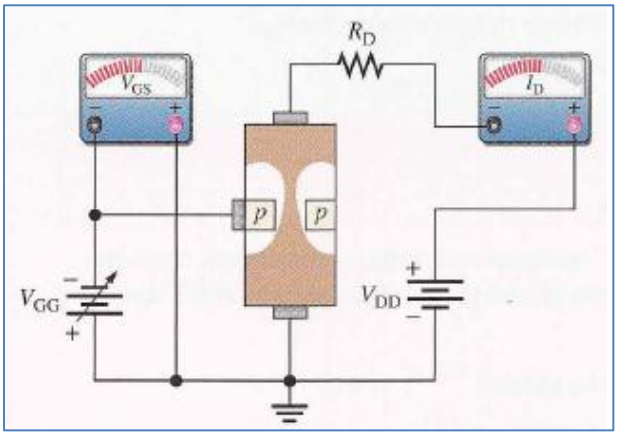
الشكل (3.4) دارة الترانزستور JFET

إن الترانزستور JFET يعمل دائماً في حالة الانحياز العكسي لوصلة البوابة – المنبع *p-n*، و يكون $I_G=0$ ومقاومة البوابة كبيرة جداً، والتي تؤدي إلى نشوء منطقة استنزاف حول منطقة الوصلة *pn*، وتتسع في منطقة القنال ، وبالتالي تزيد مقاومتها بسبب تضييق عرض القنال.

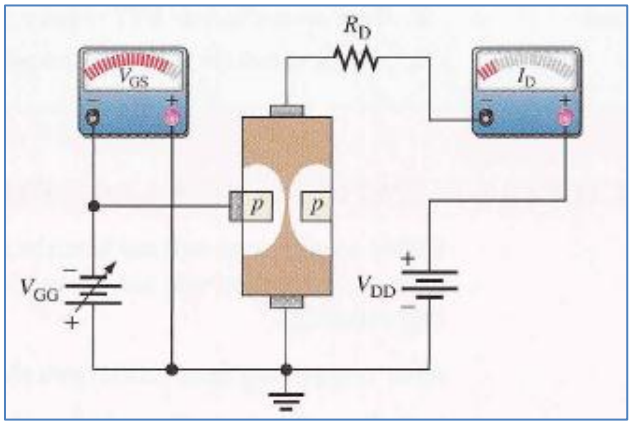
إنه يتم التحكم بعرض القنال ومقاومتها بواسطة تغير جهد البوابة ، و بالتالي يتم التحكم بتيار المصرف I_D كما هو موضح بالشكل (3.5).

Dr.Sadek pro

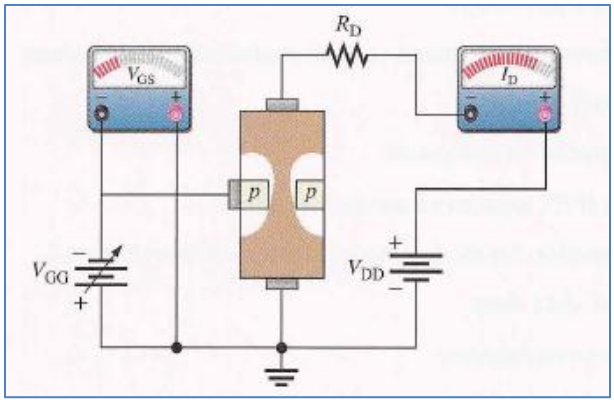
إن منطقة الاستنزاف المتولدة بواسطة الانحياز العكسي تكون أكثر اتساعاً باتجاه طرف المصرف D من القنال n لأن جهد الانحياز العكسي بين البوابة والمصرف يكون أكبر من قيمته بين البوابة والمنبع.



الشكل (3.5a) تأثيرات V_{GS} على عرض القنال والمقاومة و تيار المصرف - انحياز JFET في حالة الناقلية



الشكل (3.5b) ازدياد V_{GG} يؤدي إلى تضييق القنال بين منطقي الاستنزاف وبالتالي تزداد مقاومة القنال ويتناقص تيار المصرف I_D

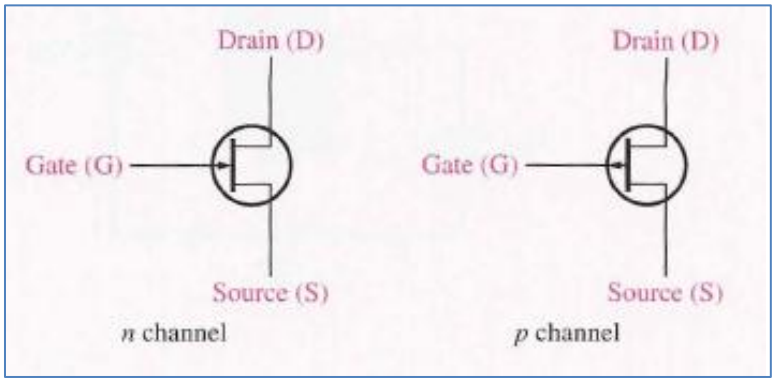


الشكل (3.5c) تناقص V_{GG} يؤدي إلى اتساع القنال بين منطقي الاستنزاف وبالتالي تناقص مقاومة القنال وتزايد تيار المصرف I_D

Dr.Sadek pro

رموز JFET

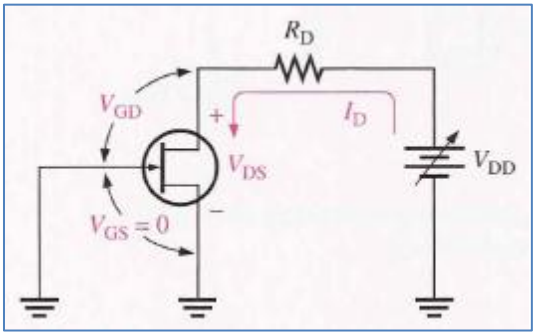
إن رموز الترانزستورات JFET القنال n والقنال p مبينة بالشكل (3.6) . حيث تشير جهة السهم على البوابة نحو الداخل في القنال *n* ، ويتجه نحو الخارج في القنال *p*.



الشكل (3.6) رموز الترانزستورات JFET

خواص وبارمترات الترانزستور JFET

اولا : نعتبر الحالة $V_{GS} = 0$ ويتم ذلك بوصل البوابة بالمنبع كما هو مبين بالشكل (3.7a).



الشكل (3.7a) دارة JFET في حالة $V_{GS}= 0\ V$ بينما يتم تغيير كل من جهد المنبع V_{DD} والجهد V_{DS}

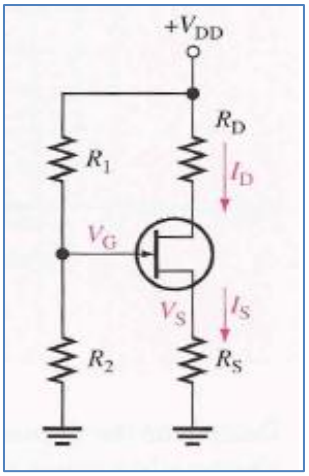
عندما تزداد قيم V_{DD} و V_{DS} فإن I_D سوف يزداد خطياً بين النقطتين A و B في الشكل (3.7b). وفي هذا المجال تكون مقاومة القنال ثابتة لأن منطقة الاستنزاف صغيرة نسبياً وليس لها تأثير على مقاومة القنال ويدعى هذا المجال بمجال المقاومة (*Ohmic Area*) لأن V_{DS} يتعلق بـ I_D وفق قانون أوم.

عند النقطة B في الشكل (3.5b) ، يتحول المنحني إلى خط مستقيم يوازي المحور V_{DS} ، ويصبح I_D ثابتاً، ويدعى هذا المجال بمجال تيار المصرف الثابت (*Constant – current Area*) .

Dr.Sadek pro

تحييز الترانزستور JFET بواسطة مقسم الجهد

إن طريقة تجييز الترانزستور JFET القنال *n* بواسطة مقسم الجهد مبيّن بالدارة (3.17).



الشكل (3.17) الترانزستور JFET القنال n متحيز بواسطة مقسم الجهد ($I_S = I_D$)

إن جهد المنبع يعطى بالعلاقة: $V_S = I_D R_S$

و يتم ضبط جهد البوابة بواسطة المقاومتين R_1 و R_2 باستخدام علاقة مقسم الجهد *VDR* :

$$V_G = \left(\frac{R_2}{R_1+R_2}\right)V_{DD}$$

و فرق الجهد بين البوابة والمنبع يساوي: $V_{GS} = V_G - V_S$

و جهد المنبع: $V_S = V_G - V_{GS}$

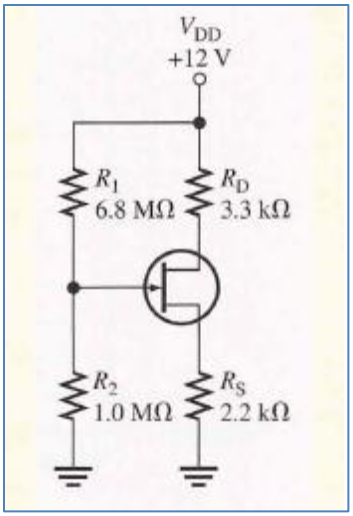
و تيار المصرف يعطى بالعلاقة:

$$I_D = \left(\frac{V_S}{R_S}\right)$$

Dr.Sadek pro

مثال

أحسب I_D و V_{GS} من أجل الترانزستور JFET و نتحيز بواسطة مقسم جهد كما هو مبيّن بالشكل (3.18) مع العلم أن $V_D = 7\ V$.



الشكل (3.18) دارة الترانزستور JFET

الحل

لدينا

$$I_D = \left(\frac{V_{DD} - V_D}{R_D}\right) = \frac{12 - 7}{3.3 \times 10^3} = 1.52\ mA$$

و فرق الجهد بين البوابة و المنبع يساوي:

$$V_{GS} = V_G - V_S$$

حيث: $V_S = I_D R_E = (\ 1.52 \text{ x } 10\text{-}3\ )(\ 2.2 \text{ x } 103\ ) = 3.34\ V$

$$V_G = \left(\frac{R_2}{R_1 + R_2}\right) V_{DD} = \left(\frac{1 \times 10^6}{7.8 \times 10^6}\right) 12 = 1.54\ V$$

و بالتالي: $V_{GS} = 1.54 - 3.34 = -\ 1.8\ V$

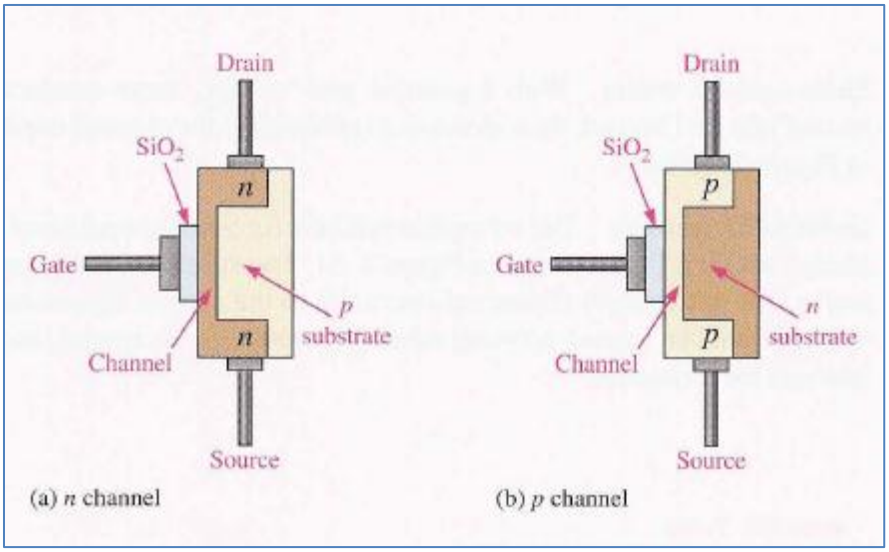
الترانزستور MOSFET (Metal Oxide Semiconductor Field Effect Transistor)

إن الترانزستور MOSFET (ترانزستور التأثير الحقلي ذي المعدن -أوكسيد – نصف الناقل) يختلف عن JFET بأنه لا توجد وصلة *pn* في بنيته و إنما يتم عزل البوابة في الترانزستور MOSFET عن القنال بطبقة عازل من أوكسيد السيلكون SiO_2 ، و يوجد نوعان من الترانزستور MOSFET هما: (a) استنزاف Depletion و (b) إغناء Enhancement.

Dr.Sadek pro

الترانزستور D-MOSFET (استنزاف)

الشكل (3.21) يوضح البنية الأساسية للترانزستور D-MOSFET القنال n و القنال p ، حيث يتشكل الترانزيستور MOSFET من ركيزة (substrate) نصف ناقل سيليكون نوع *n* أو نوع *p* ، و يتم إدخال منطقتين في طرفيه من النوع *n* أو النوع *p* تشكلان المصرف D والمنبع S و يتم توصيلها معاً بواسطة قنال ضيقة مجاورة للبوابة المعزولة. يوضع فوق هاتين الطبقتين مادة شديدة العازلية من ثاني أكسيد السيليكون (SiO_2) يعلوها طبقة معدنية تشكل البوابة.



الشكل (3.21) البنية الأساسية للترانزستور D-MOSFET القنال *n* و القنال *p*

إن الترانزستور MOSFET يمكن أن يعمل في أحد النمطين، إما نمط الاستنزاف أو نمط الإغناء. و بما أن البوابة معزولة عن القنال فإنه يمكن أن يطبق عليها جهد موجب أو جهد سالب.

حيث يعمل الترانزستور MOSFET القنال n في نمط الاستنزاف عندما يطبق جهد سالب بين البوابة و المنبع، و يعمل في نمط الإغناء عندما يطبق جهد موجب بين البوابة و المنبع.

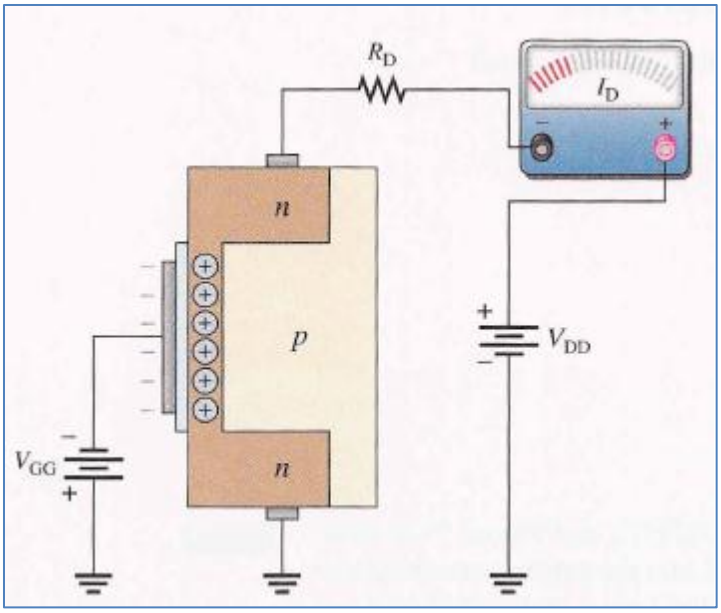
نمط الاستنزاف D- MOSFET

يمكن اعتبار أن البوابة أحد لبوسي مكثفة مستوية، و يمثل القنال n اللبوس الثاني بينما تشكل طبقة ثنائي أوكسيد السيلكون SiO_2 عازل المكثفة المستوية.

فإنه عندما يطبق جهد سالب على البوابة، فالشحنات السالبة على البوابة تدفع إلكترونات الناقلية في القنال n و تترك أيونات موجبة في مكانها، و بالتالي يستنزف القنال n من الإلكترونات و بالتالي يؤدي إلى تناقص ناقلية القنال.

و كلما ازداد الجهد السالب المطبق على البوابة كلما ازداد استنزاف الإلكترونات من القنال n ، و عندما يصبح جهد البوابة كبيراً و يساوي $V_{GS(off)}$ فالقنال n يكون قد استنزف من الإلكترونات تماماً، و بالتالي يؤول تيار المصرف إلى الصفر $I_D = 0$ و يدعى هذا النمط بنمط الاستنزاف كما هو مبيّن بالشكل(3.22) .

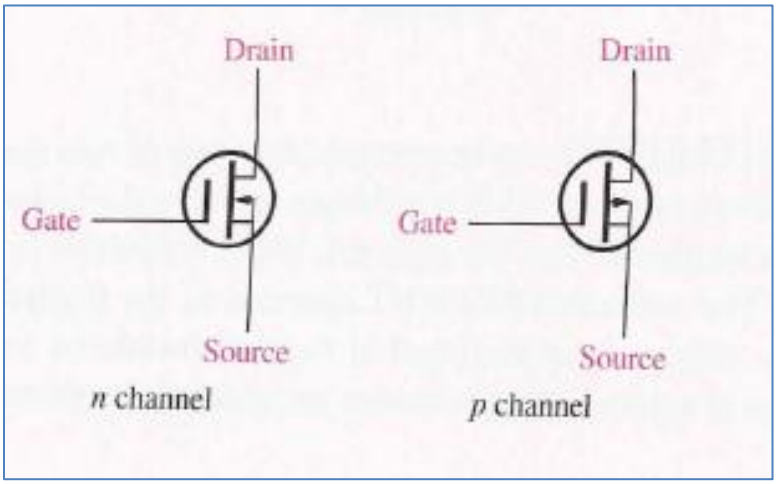
Dr.Sadek pro



الشكل(3.22) الترانزستور D-MOSFET نمط الاستنزاف و V_{GS} سالب

رموز D- MOSFET

إن رموز D- MOSFET القنال *n* و القنال *p* مبيّنة بالشكل (3.23) ، حيث يشار إلى الركيزة بسهم موصول إلى المنبع، و يكون موجهاً نحو الداخل في القنال *n* و يكون موجهاً نحو الخارج في القنال *p* .

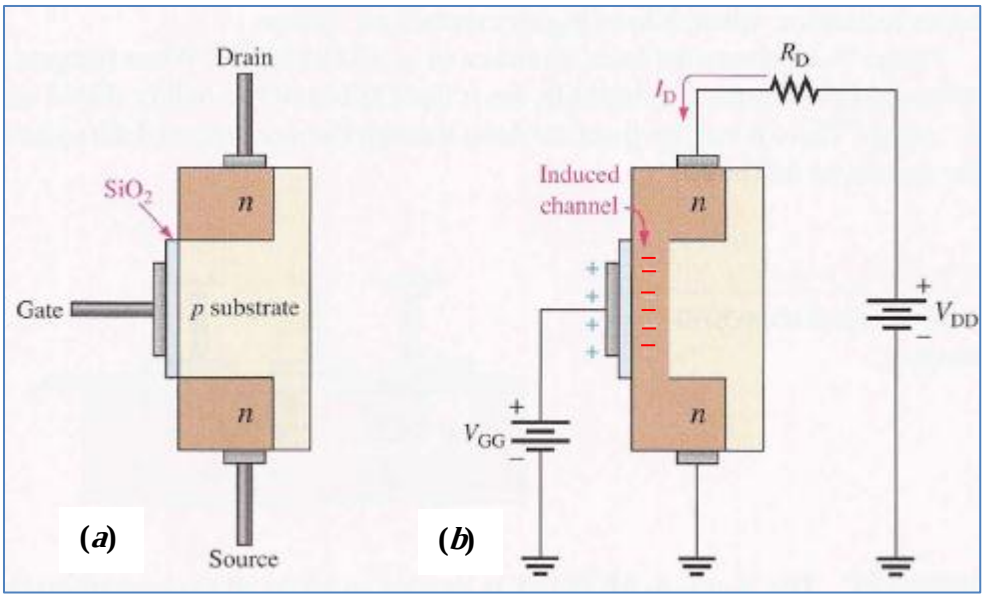


الشكل (3.23) رموز الترانزستور D- MOSFET

Dr.Sadek pro

الترانزستور E-MOSFET (إغناء)

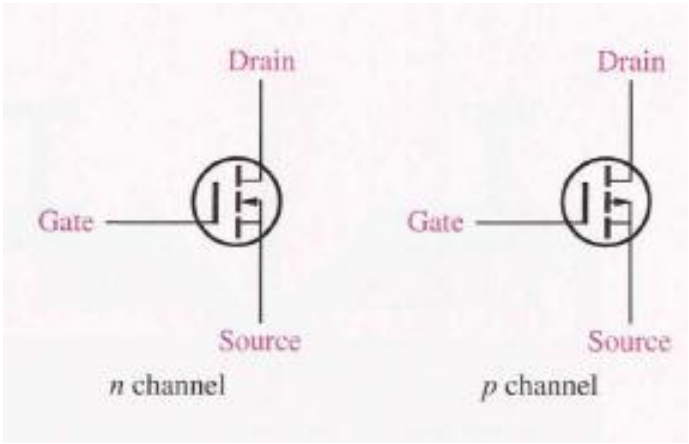
إن بنية الترانزستور E-MOSFET مبينة بالشكل (3.24a) حيث تمتد الركيزة إلى منطقة العازل SiO_2 .



الشكل (3.24) بنية الترانزستور E-MOSFET

رموز E- MOSFET

إن رموز E- MOSFET القنال *n* و القنال *p* مبيّنة بالشكل (3.25) ، حيث ترمز الخطوط المتقطعة إلى عدم و جود القنال.



الشكل (7.25) رموز الترانزستور E- MOSFET

Dr.Sadek pro

تحييز الترانزستور E- MOSFET بواسطة مقسم الجهد

إن طريقة تجييز الترانزستور MOSFET القنال *n* بواسطة مقسم الجهد مبيّن بالدارة (3.28). و شرط عمل E-MOSFET هو تحقيق الشرط VGS>VGs(th) ، حيث أنه من الضروري جعل جهد البوابة موجباً بالنسبة للمنبع و أكبر من VGs(th) ، و إن معادلات التحييز بواسطة مقسم الجهد هي كما يلي:

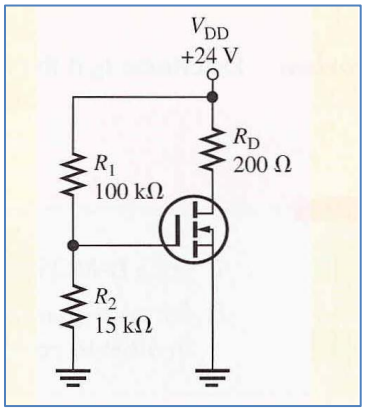
$$V_G = \left(\frac{R_2}{R_1+R_2}\right)V_{DD}$$

$$V_{DS} = V_{DD} - I_D R_D$$

$$I_D = k\,(\,V_{GS} - V_{GS(th)}\,)^2$$

مثال

أوجد قيم V_{GS} و V_{DS} من أجل دارة E-MOSFET بفرض أن $k = 50\ mA/V^2$ و $V_{GS(th)} = 2\ V$



الحل:

$$V_{GS} = V_G = \left(\frac{R_2}{R_1+R_2}\right)V_{DD} = \left(\frac{15\times10^3}{115\times10^3}\right)24 = 3.13\ V$$

$I_D = k\,(\,V_{GS} - V_{GS(th)}\,)^2$

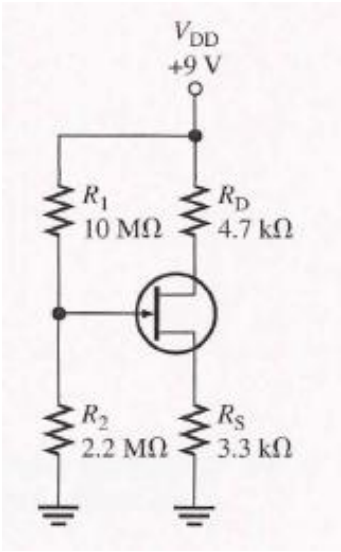
$= 50x10^{-3}(\,3.13\text{-}2)^2 = 63.8\ mA$

$V_{DS} = V_{DD} - I_D R_D = 24\text{-}\ (63.8x10^{-3})(200) = 11.2\ V$

Dr.Sadek pro

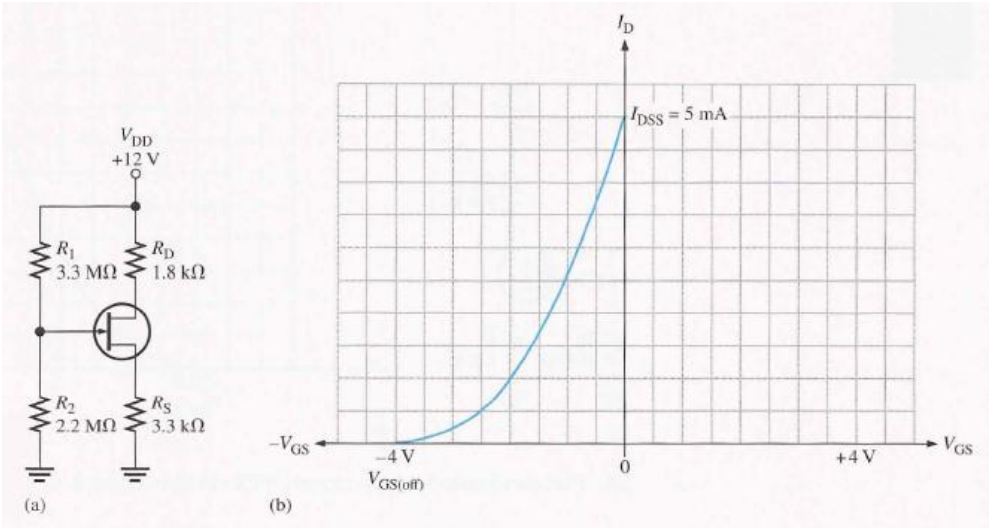
مسائل الفصل الثالث

3.1 عيّن نقطة العمل Q للترانزستور JFET المتحيز بواسطة مقسم الجهد كما هو مبيّن بالشكل جانباً إذا كان $V_D = 5\ V$.



الأجوبة: ($I_D = 0.85\ mA, V_{GS} = -1.19\ V$)

3.2 عيّن نقطة العمل Q للترانزستور JFET المتحيز بواسطة مقسم الجهد كما هو مبيّن بالشكل جانباً إذا كان: ($I_{DSS} = 5\ mA, V_{GS(off)} = -4\ V$) .

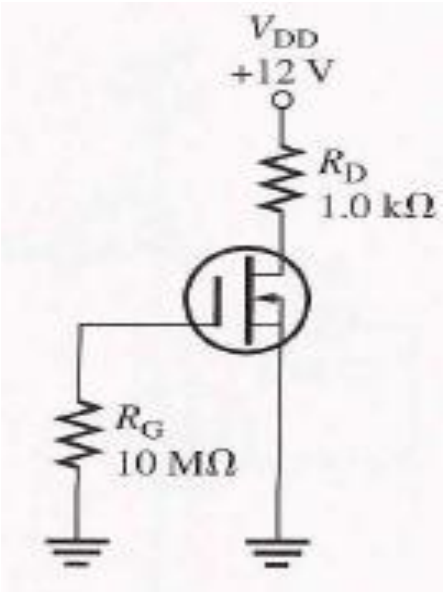


الأجوبة: ($I_D = 1.9\ mA, V_{GS} = -1.5V$)

Dr.Sadek pro

3.3 من أجل الترانزستور D-MOSFET (I_{DSS} = 8 mA , $V_{GS(off)}$ = -5 V) .
(a) هل الترانزستور من النوع القناة n أو من القناة p .
(b) أحسب I_D من أجل قيم V_{GS} ضمن المجال :[+5 V ⟶ - 5 V] و بازدياد 1 V .
(c) أرسم على ورقة ميليمترية منحني مميزة تحويل للترانزستو D-MOSFET من نتائج الطلب (b) .

3.4 أحسب V_{DS} في الترانزستور D- MOSFET ، إذا كان $I_{DSS} = 8\ mA$.



الأجوبة: $V_{DS} = 4\ V$

Dr.Sadek pro

Thank You!!

Dr.Sadek pro

facebook

sadekpro

sadek berro د.صادق برو

...email

sadekpro @gmail.com

MOB 0933406346