

تنفيذ دائرة الجامع الكامل

1.2- مقدمة:

يتيح برنامج Proteus إمكانية بناء وتصميم أي دائرة من مكونات أبسط. لكن بسبب وجود عناصر ودوائر جاهزة داخل مكتبته فهناك احتمال أيضاً أن تكون الدائرة المراد بناءها جاهزة ومصممة مسبقاً وما علينا سوى ادراجها. كلا الطريقتين ستأديان المطلوب، لكن وبالتأكيد الطريقة الثانية هي الأسهل كونها توفر علينا الوقت والجهد.

سنقوم في هذه التجربة باستخدام دائرة جامع كامل بطريقتين:

- 1- عبر بناءها يدوياً من مكونات أبسط.
- 2- عبر استخدامها كدائرة جاهزة وموجودة مسبقاً ببرنامج Proteus.

الجامع الكامل هو دائرة رقمية تنفذ عملية الجمع الحسابي على الأعداد الثنائية Binary


2.2- بناء دائرة جامع كامل (Full Adder) من مكونات أبسط:

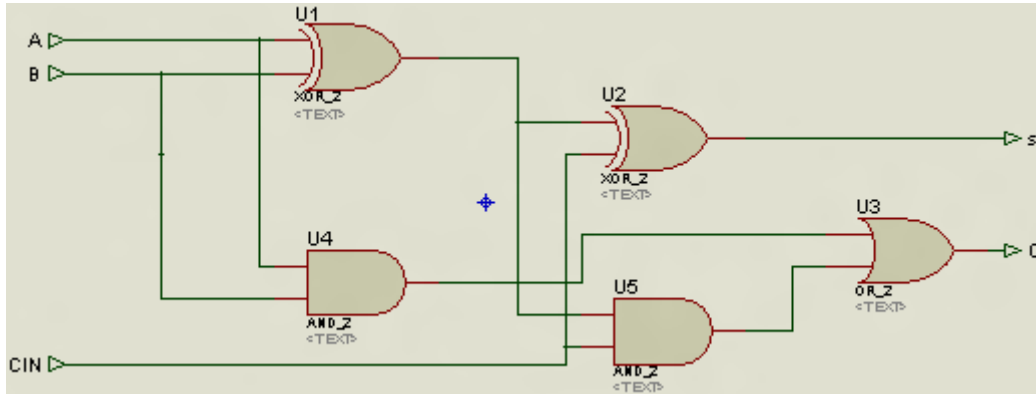
لجمع عددين A و B كل منها بطول 1 بت مع مراعاة وجود الحمل السابق Cin، نستخدم دائرة جامع كامل بجدول الحقيقة والمعادلات التالية:

A	B	Cin	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1


$$S = A \oplus B \oplus Cin$$

$$C = AB + (A \oplus B) Cin$$

نقوم الآن برسم دائرة الجامع بما يحقق معادلاتها عبر إضافة العناصر المطلوبة إلى نافذة التحرير حيث سنحتاج العناصر AND و OR و XOR، كما نضيف النهايات (Terminals) للمداخل الثلاثة A و B و CIN، وللمخرجين S و C من الزر  ونسميهم جميعاً ونصل الأسلاك بين الجميع. يوضح الشكل (1) ما قمنا به في هذه المرحلة.

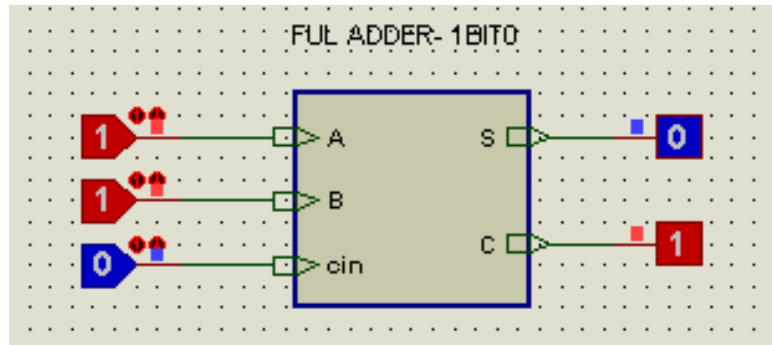


الشكل (1)

نحتاج أحياناً لإخفاء مكونات الدارة داخل صندوق لتوفير المساحة وتقليل تعقيد الرسم. يتم ذلك عبر إضافة مخطط صندوقي SubCircuit من الزر  واستخدام الأداة Default لرسمه. نستخدم لمداخل الصندوق الأداة Input ولمخرجه الأداة Output، مع ضرورة مطابقة أسماء مداخل ومخارج هذا الصندوق مع أسماء المداخل والمخارج الفعلية.

نقوم بقص الدارة المرسومة ثم نضغط على الصندوق بالزر الأيمن للفأرة ونختار الأمر "Go To Child Sheet". بالقيام بذلك نكون قد أصبحنا بداخل الصندوق، وبإمكاننا تنفيذ الأمر "Paste" للصق الدارة بداخله. للعودة إلى الصندوق نضغط بزر الفأرة الأيمن على الدارة ونختار الأمر "Exit To Parent Sheet".

سنقوم بتسمية هذا الصندوق بـ FUL ADDER- 1BIT0



الشكل (2)

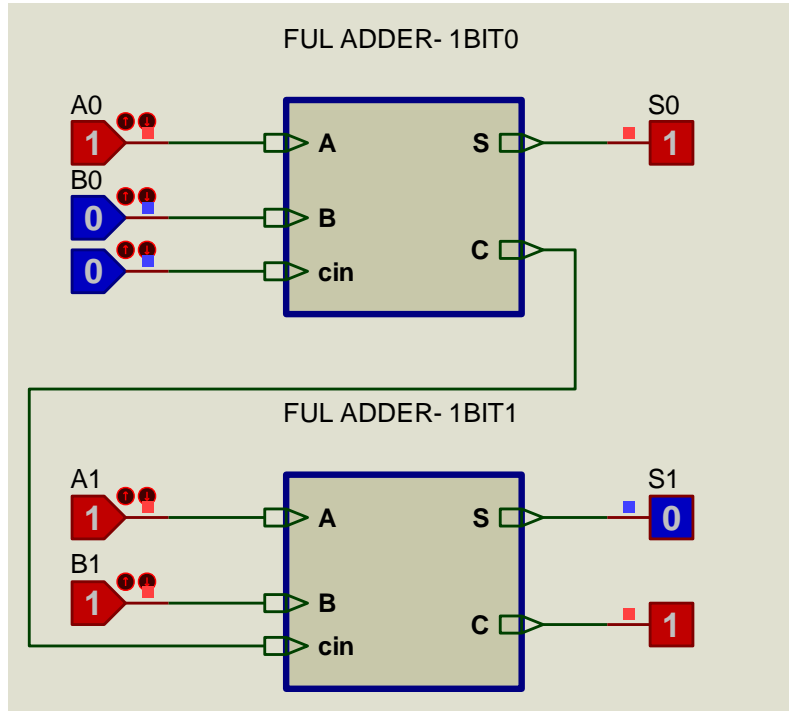
لتصبح دارة الجامع السابقة قادرة على جمع عددين ثنائيين كل عدد منهما بطول 2bit ، أي:

العدد الأول هو $A(A_1 A_0)$

العدد الثاني هو $B(B_1 B_0)$

النتيجة هو $S(S_1 S_0)$ مع مراعاة وجود حمل نهائي C.

نحتاج إلى وصل دارتين منها كما في الشكل (3) بحيث يوصل الحمل C الناتج عن الدارة الأولى مع Cin في الدارة الثانية. ويطبق هذا المبدأ على وصل ثلاث دارات أو أكثر.

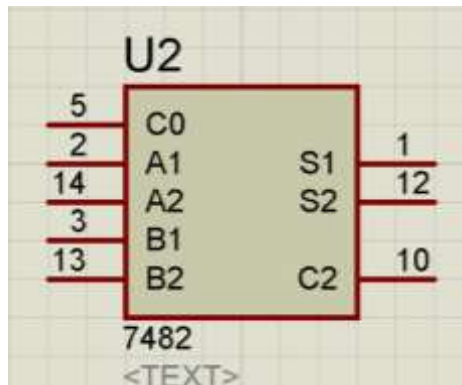


ملاحظة: يجب مراعاة تغيير أسماء الصناديق حتى لا تظهر مشكلة الأسماء المكررة التي تؤدي إلى عدم تشغيل الدارة. لذا قمنا بتسمية الصندوق الأعلى بـ "FUL ADDER-1BIT0"، والصندوق الأسفل بـ "FUL ADDER-1BIT1"

3.2- بناء جامع كامل كدارة جاهزة وموجودة مسبقاً ببرنامج Proteus.
الشريحة 7482 هي شريحة جاهزة لجمع عددين، كل عدد منهما بطول 2bit
أما الشريحة 7483 هي شريحة جاهزة لجمع عددين، كل عدد منهما بطول 4bit

1.3.2- الشريحة 7482:

الشكل التالي يوضح شكل الشريحة:



أقطاب الدخل للشريحة:

A2، A1 تمثل العدد الثنائي الأول

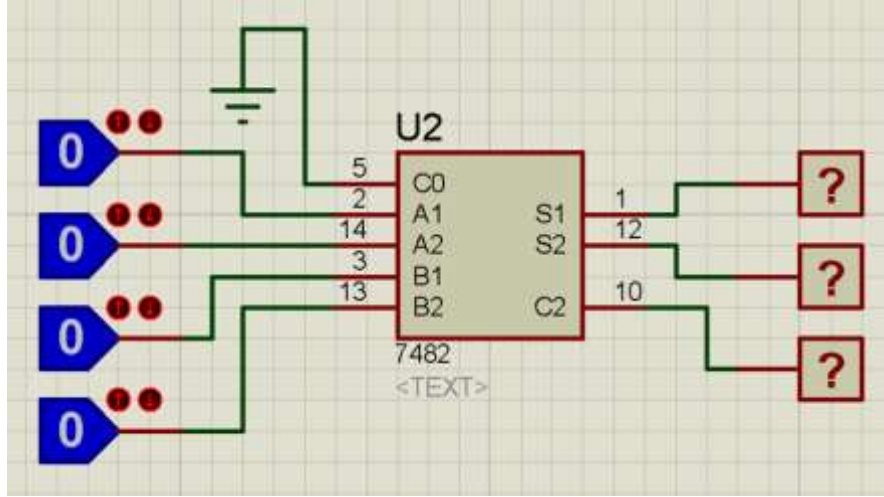
B2، B1 تمثل العدد الثنائي الثاني

C0 يمثل الحمل الداخل، ويستخدم عند ربط أكثر من شريحة جامع، حيث يتم وصل الحمل الناتج من الشريحة السابقة إليه، ويكون الهدف من ربط الشرائح هو زيادة عدد البتات الممثلة للأعداد

أقطاب الخرج للشريحة:

S1، S2 تمثل ناتج الجمع الثنائي للعددين.
C2 يمثل الحمل النهائي الناتج عن جمع العددين.
التجربة العملية:

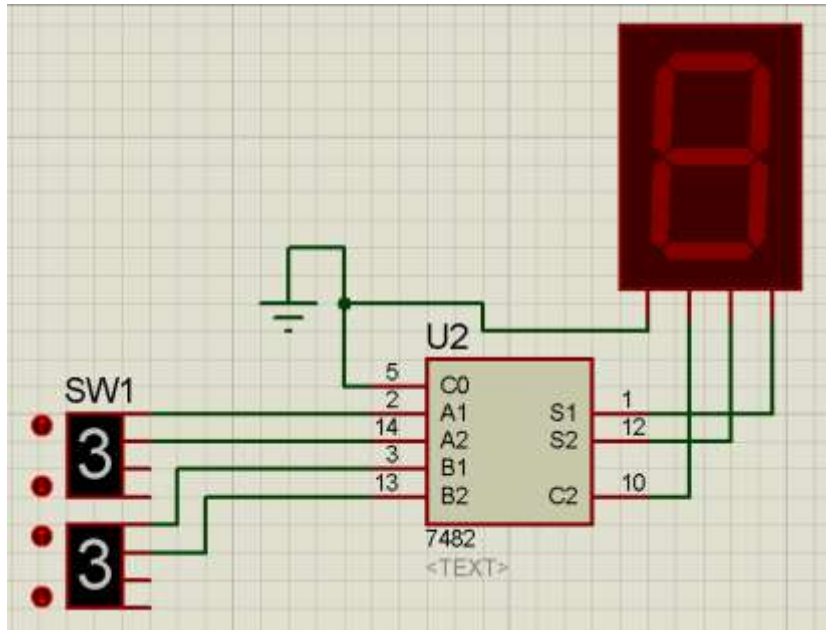
يوضح الشكل التالي توصيل التجربة العملية:



ملاحظة: تم تأريض القطب C0 في هذا المثال لأنه ليس لدينا حمل داخل من دائرة سابقة. لإضافة رمز التأريض (Ground) ندرج من الزر Terminals Mode

لتسهيل عملية إدخال الأعداد الثنائية، بإمكاننا استبدال المداخل Logicstate بمفتاح من نوع Thumbswitch-hex لإدخال أعداد ستة عشرية بدلاً منها. يوجد هذا العنصر بمجموعة Switches & Relays.

ولتسهيل عملية قراءة المخرج الممثل بالأعداد الثنائية بإمكاننا استبدال Logicprobe بـ 7-SEG BCD يوجد هذا العنصر بمجموعة Optoelectronics، انظر الشكل التالي:



ملاحظات:

1- المفتاح المستخدم للإدخال SW له أربعة أقطاب، أما هذه الدارة فالأعداد بطول 2bit، لذلك احتجنا فقط إلى خطين منه، ومن الخطأ تأريض القطبين المتبقين.

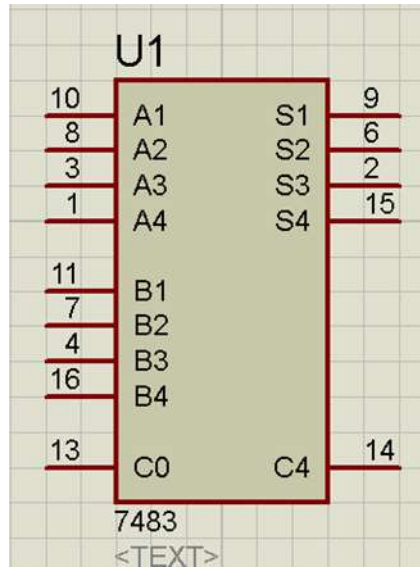
- 2- يجب تأريض الأقطاب غير المستخدمة في شريحة اظهار 7SEG ، مع مراعاة توصيل الخانة الأقل أهمية مع القطب الأيمن لشريحة الاظهار، وهكذا... كما نلاحظ في الشكل السابق.
- 3- بما أن الدارة 7482 تقوم بجمع عددين ثنائيين كل عدد بطول 2bit فالقيم التي يمكن أن يمثلها كل عدد هي إما 0 أو 1 أو 2 أو 3، وبالتالي فإن أكبر مجموع للعددين يمكن أن يكون هو (6) (3+3)، كما سيظهر على شاشة 7SEG.

تدريب:

- 1- صمم دارة لجمع عددين بطول 3bit باستخدام دارتين من 7482، وأظهر النتيجة على 7Seg.
- 2- صمم دارة لجمع عددين بطول 4bit.
- 3- صمم دارة لجمع عددين بطول 1bit.

2.3.2- الشريحة 7483:

الشكل التالي يوضح شكل الشريحة:



أقطاب الدخل:

A4، A3، A2، A1 تمثل العدد الثنائي الأول.

B4 ، B3 ، B2 ، B1 تمثل العدد الثنائي الثاني.

C0 كما في الشريحة السابقة هو الحمل الناتج من عملية جمع سابقة من شريحة أخرى وأيضاً يستخدم في الربط بين الشرائح

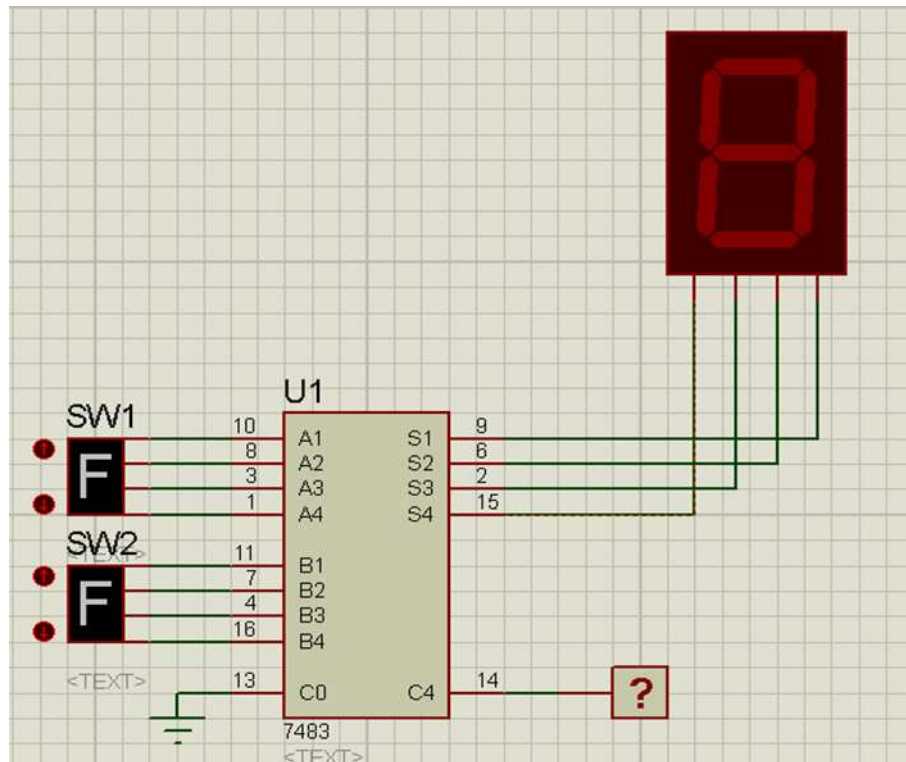
أقطاب الخرج:

S4، S3، S2، S1: تمثل ناتج الجمع الثنائي للعددين.

C4: الحمل النهائي الناتج عن جمع العددين.

التجربة العملية:

يوضح الشكل التالي توصيل التجربة العملية:



ملاحظات:

- 1- يكون (C4=0) عندما يكون مجموع العددين أصغر أو يساوي $(15)_{10}$ أي $(F)_{16}$.
- 2- يكون (C4=1) عندما يكون مجموع العددين أكبر من $(15)_{10}$ أي $(F)_{16}$.

تدريب:

صمم دائرة لجمع عددين بطول 8bit، اعتماداً على دارتي 7483، وأظهر النتيجة على شريطي SEG7.